

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): NAKAJIMA, et al.  
Serial No.: Not yet assigned  
Filed: February 25, 2004  
Title: SEMICONDUCTOR DEVICE, POWER AMPLIFIER DEVICE  
AND PC CARD  
Group: Not yet assigned

LETTER CLAIMING RIGHT OF PRIORITY

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

February 25, 2004

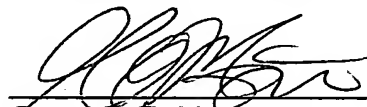
Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on Japanese Patent Application No.(s) 2003-046644, filed February 25, 2003.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



---

Gregory E. Montone  
Registration No. 28,141

GEM/alb  
Attachment  
(703) 312-6600

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 2月25日  
Date of Application:

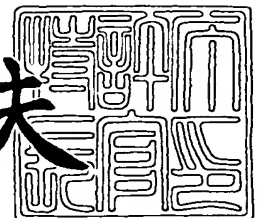
出願番号 特願2003-046644  
Application Number:  
[ST. 10/C]: [JP2003-046644]

出願人 株式会社ルネサステクノロジ  
Applicant(s):

2003年10月22日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特2003-3087012

【書類名】 特許願

【整理番号】 H02012161

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/41

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立  
製作所 半導体グループ内

【氏名】 中島 秋重

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立  
製作所 半導体グループ内

【氏名】 末永 英典

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立  
製作所 半導体グループ内

【氏名】 丹下 英吾

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100083552

【弁理士】

【氏名又は名称】 秋田 収喜

【電話番号】 03-3893-6221

【手数料の表示】

【予納台帳番号】 014579

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】

図面 1

【物件名】

要約書 1

【プルーフの要否】

要

【書類名】 明細書

【発明の名称】 半導体装置及び高出力電力増幅装置並びにパソコンカード

【特許請求の範囲】

【請求項 1】 トランジスタを形成した半導体チップを有する半導体装置であって、

前記トランジスタは第 1 の電極及び第 2 の電極並びに制御電極を有し、

前記第 1 および第 2 の電極は、それぞれ、基幹部と、前記基幹部に交差する方向に突出する複数のフィンガー部とからなり、

前記第 2 の電極の隣接する 2 本のフィンガー部間に、前記第 1 の電極の 1 本のフィンガー部が配置され、

前記第 2 の電極は固定電位に接続され、

前記第 2 の電極の両端に位置する前記フィンガー部の幅は前記両端間に位置する前記フィンガー部の幅よりも広がっていることを特徴とする半導体装置。

【請求項 2】 前記両端に位置する前記フィンガー部の幅は前記両端間に位置する複数の前記フィンガー部の幅の総和以上であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記第 2 の電極の前記基幹部の幅は前記両端に位置する前記フィンガー部の幅よりも広がっていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】 前記第 1 の電極はドレイン電極であり、前記第 2 の電極はソース電極であり、前記制御電極はゲート電極であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】 前記第 1 の電極はコレクタ電極であり、前記第 2 の電極はエミッタ電極であり、前記制御電極はベース電極であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】 前記各電極の前記基幹部は共に同一方向に沿って延在し、前記各電極の前記フィンガー部は前記各基幹部の延在方向に直交する方向に沿って延在していることを特徴とする請求項 1 に記載の半導体装置。

【請求項 7】

1乃至複数の増幅系を有する高周波電力増幅装置であって、  
前記増幅系は、トランジスタを形成した半導体チップ及び複数の外部電極端子を有し、  
前記外部電極端子は、増幅されるべき信号が供給される入力端子と、増幅された信号を出力する出力端子と、第1電源端子及び第2電源端子並びに第3電源端子とを構成し、  
前記トランジスタは前記入力端子と前記出力端子の間に電氣的に接続され、  
前記トランジスタの電極は、前記入力端子及び前記第3電源端子に接続される制御電極と、前記出力端子及び前記第1電源端子に接続される第1の電極と、接地端子となる前記第2電源端子に接続される第2の電極とを構成し、  
前記半導体チップの上面には前記外部電極端子に対応する電極パッド及び前記トランジスタの前記第2の電極部分に形成される複数の電極パッドが設けられ、  
前記外部電極端子と該外部電極端子に対応する前記電極パッドを電氣的に接続する導電性のワイヤと、  
前記トランジスタの前記第2の電極部分に形成される複数の電極パッドと前記第2電源端子を電氣的に接続する導電性のワイヤとを有し、  
前記トランジスタの前記各電極は、基幹部と、前記基幹部に交差する方向に突出する複数のフィンガー部とからなり、前記第2の電極の隣接する2本のフィンガー部間に、前記第1の電極の1本のフィンガー部が配置され、  
前記第2の電極は固定電位に接続され、  
前記第2の電極の両端に位置する前記フィンガー部の幅は前記両端間に位置する前記フィンガー部の幅よりも広がっていることを特徴とする高出力電力増幅装置。

【請求項8】 前記両端に位置する前記フィンガー部の幅は前記両端間に位置する複数の前記フィンガー部の幅の総和以上であることを特徴とする請求項7に記載の高出力電力増幅装置。

【請求項9】 前記第2の電極の前記基幹部の幅は前記両端間に位置する前記フィンガー部の幅よりも広がっていることを特徴とする請求項7に記載の高出力電力増幅装置。

【請求項 10】 前記第 1 の電極はドレイン電極であり、前記第 2 の電極はソース電極であり、前記制御電極はゲート電極であることを特徴とする請求項 7 に記載の高出力電力増幅装置。

【請求項 11】 前記第 1 の電極はコレクタ電極であり、前記第 2 の電極はエミッタ電極であり、前記制御電極はベース電極であることを特徴とする請求項 7 に記載の高出力電力増幅装置。

【請求項 12】 前記半導体チップには 2 つのトランジスタが形成され、2 つの前記トランジスタは前記入力端子と前記出力端子の間に並列に電氣的に接続されていることを特徴とする請求項 7 に記載の高出力電力増幅装置。

【請求項 13】 前記半導体チップを搭載するとともに前記第 2 電源端子を構成する支持基板と、  
前記支持基板の周囲に配置され前記外部電極端子を構成する複数のリードと、

前記支持基板及び前記外部電極端子の下面及び外端面を露出させる状態で前記支持基板、前記外部電極端子、前記半導体チップ及び前記ワイヤを被う絶縁性樹脂からなる封止部とを有することを特徴とする請求項 7 に記載の高出力電力増幅装置。

【請求項 14】 前記封止部は平面的に見て四角形状になり、前記外部電極端子の外端面は前記封止部の周面に一致していることを特徴とする請求項 13 に記載の高出力電力増幅装置。

【請求項 15】 前記入力端子と前記出力端子の間に複数のトランジスタが従属接続されて多段増幅構成となっていることを特徴とする請求項 7 に記載の高出力電力増幅装置。

【請求項 16】 前記トランジスタの前記各電極の前記基幹部は共に同一方向に沿って延在するとともに、前記各電極の前記フィンガー部は前記各基幹部の延在方向に直交する方向に沿って延在し、前記各フィンガー部は前記入力端子と前記出力端子とを結ぶ線に直交する方向に沿って延在していることを特徴とする請求項 7 に記載の高出力電力増幅装置。

【請求項 17】 前記高出力電力増幅装置は 5 GHz 帯の無線 LAN 用の高出力電力増幅装置であることを特徴とする請求項 7 に記載の高出力電力増幅装置

。 【請求項 1 8】 アンテナに接続される送信用高出力電力増幅装置を有するパソコンカードであって、前記送信用高出力電力増幅装置は請求項 7 の構成になっていることを特徴とするパソコンカード。

【請求項 1 9】 前記アンテナに接続される送受信切り替え用スイッチと、前記送受信切り替え用スイッチに接続される受信用低雑音増幅器と、前記受信用低雑音増幅器に接続される受信系ミクサーと、前記受信系ミクサーに接続されるベースバンド L S I と、前記ベースバンド L S I に接続される送信系ミクサーと、前記ベースバンド L S I 及び受信系ミクサー並びに送信系ミクサーに接続される電圧制御発振器を有し、前記送信用高出力電力増幅装置は前記送信系ミクサー及び前記送受信切り替え用スイッチに接続されていることを特徴とする請求項 1 8 に記載のパソコンカード。

#### 【発明の詳細な説明】

##### 【 0 0 0 1 】

#### 【発明の属する技術分野】

本発明は、半導体装置及び高出力電力増幅装置並びにパソコンカードに係わり、例えば、無線 L A N 用のパソコンカードの製造に適用して有効な技術に関する。

##### 【 0 0 0 2 】

#### 【従来の技術】

オフィスや家庭でのパーソナルコンピュータ（パソコン）の普及に伴い、インターネットに代表されるパソコン間通信が盛んに行われている。そのパソコン間通信を有線ではなく無線でおこなう無線 L A N（構内情報通信網：local area network）が注目を集めている。現在は、2. 4 G H z 帯「I E E E（The Institute of Electrical and Electronics Engineers, Inc.）8 0 2. 1 1 b」規格の無線 L A N が主流である。しかし、伝送速度が最大で 8 M b p s と低速なため、動画像伝送ができないなどの課題が生まれている。その解決策として、最大伝送速度 5 4 M b p s を可能にした 5 G H z 帯「I E E E 8 0 2. 1 1 a」規格の無線 L A N がある。



## 【0003】

無線LANで使用するパソコンカード（PCカード）には、アンテナ、送受信切り替え用スイッチ、受信用低雑音増幅器、受信系ミクサー、送信系ミクサー、送信用高出力電力増幅器等が組み込まれている。

## 【0004】

周波数が数GHz以上と高い半導体装置〔例えば、高電子移動度トランジスタ（HEMT: High Electron Mobility Transistor）〕やマイクロ波モノリシック集積回路（MMIC: Monolithic Microwave IC）等は、GaAs基板等の化合物半導体基板を基に形成されている。

## 【0005】

一方、電界効果トランジスタ（FET）においては、高周波域におけるデバイスの性能を高めるために、例えば、半導体チップの上面のソース電極とパッケージ基板のソース端子とをワイヤで接続する構成に代えて、半導体チップの上面と下面との間を貫通するバイアホールを設け、このバイアホールに導体を形成し、半導体チップの上面のソース電極を半導体チップの下面に引出し、半導体チップをパッケージ基板に固定した際、引き出したソース電極を直接パッケージ基板（台座）のソース端子に接続してソースインダクタンスの低減を図っている（例えば、特許文献1）。

## 【0006】

また、移動体通信システムにおける送信用高出力電力増幅器（送信用高出力電力増幅デバイス）として、GaAs-MESFETあるいはヘテロバイポーラトランジスタ（HBT）を用いたモジュール、一体化集積回路（MMIC）によるものがある（例えば、特許文献2）。

## 【0007】

## 【特許文献1】

特開平8-330568号公報（第2-3頁、図1）

## 【特許文献2】

特開平11-220344号公報（第2-5頁、図1、図8）

## 【0008】

**【発明が解決しようとする課題】**

無線 LAN で使用するパソコンカード（PC カード）に組み込まれる送信用の高出力電力増幅器は、5 GHz 帯という超高周波帯で高周波特性を実現するため、化合物半導体（例えば、GaAs）が用いられて製造される。一般的には GaAs 基板に形成した GaAs-MESFET、HEMT、HBT 等のトランジスタを多段に従属接続して多段増幅構成の高出力電力増幅器が製造されている。

**【0009】**

このような高出力電力増幅器は小型化、軽量化のため、実装面積低減が図られる。また、顧客ニーズとして低コスト化のために部品点数削減の観点から、MMIC 化が必須の条件になっている。

**【0010】**

MMIC 化には、①. 例えば、FET におけるソースインダクタンス低減による高性能化を可能にするバイアホール技術、②. 整合回路（入力・段間・出力整合回路）を構成する容量として MIM（metal-insulator-metal）容量を使用する場合における高容量密度化による容量面積低減を実現する高密度容量技術、③. チップサイズ縮小のための回路の最適化技術などが有効である。

**【0011】**

しかし、バイアホール（一般的な大きさは  $50\ \mu\text{m}$  直径程度）を形成するには、新たなマスクを追加する必要があるためコスト高となる。また、バイアホール形成のため、基板の薄層化（ $\sim 70\ \mu\text{m}$  程度）、精度の良い裏面加工技術が必要になり、工程数の増加、ハンドリングがし難いといった問題点がある。

**【0012】**

これら問題点の回避策として、従来から用いられているバイアホールを用いない場合の高出力電力増幅器の構成が考えられる。

**【0013】**

図 16 は従来の FET における櫛歯状電極を有する櫛形電極構造を示す平面図である。ソース・ドレイン・ゲート電極は、いずれも基幹部と、この基幹部から延在する複数のフィンガーとからなる櫛歯状電極パターンになっている。ソース（S）電極 51、ドレイン（D）電極 52、ゲート（G）電極 53 の各フィンガー

一部 51b、52b、53b がチャンネル領域 50 上に噛み合うように配置されている。即ち、ソースフィンガー部 51b とドレインフィンガー部 52b との間にゲートフィンガー部 53b が位置している。また、ソースフィンガー部 51b の幅 W1 とドレインフィンガー部 52b の幅 W4 は同じ寸法になっている。ソースインダクタンスの低減を図るためには、ソース電極 51 の基幹部（ソース基幹部）51a の面積（ $L \times W2$ ）を大きくし、かつこの基幹部 51a に接続する導電性のワイヤの本数を多くする必要がある。

#### 【0014】

図 17 は図 16 の FET を用いて増幅器を構成した半導体チップの例、即ち、MMIC チップを示す模式的平面図である。この MMIC チップ（半導体チップ）60 は 1 段増幅器構成である。増幅率によっては FET を多段に従属接続させる。

#### 【0015】

図 17 は、図 16 に示す従来 FET 構造をもつ 2 つの FET 61、62 を並列動作させて出力の増大を図ったものである。FET 61 はソース電極 51'、ドレイン電極 52'、ゲート電極 53' を有し、ソースフィンガー部 51b'、ドレインフィンガー部 52b' 及びゲートフィンガー部 53b' はチャンネル領域 50' 上に噛み合うように配置されている。即ち、ソースフィンガー部 51b' とドレインフィンガー部 52b' との間にゲートフィンガー部 53b' が位置するような噛み合いパターンになっている。また、ソース基幹部 51a' には四角形状の電極パッド 51c' が複数（6 個）設けられている。この電極パッド 51c' には図示しないパッケージのソース端子に接続される導電性のワイヤが接続される。

#### 【0016】

FET 62 はソース電極 51''、ドレイン電極 52''、ゲート電極 53'' を有し、ソースフィンガー部 51b''、ドレインフィンガー部 52b'' 及びゲートフィンガー部 53b'' はチャンネル領域 50'' 上に前記 FET 61 と同様に噛み合うように配置されている。ソースフィンガー部 51b'' には四角形状の電極パッド 51c'' が複数（6 個）設けられている。この電極パッド 51c'' には図示しな

いパッケージのソース端子に接続される導電性のワイヤが接続される。

【0017】

MMICチップ60の上面には、電極パッドとして、入力用電極パッド65、出力用電極パッド66、第1電源電圧用電極パッド67、第2電源電圧用電極パッド68、第3電源電圧用電極パッド69が設けられている。

【0018】

FET61、62のゲート電極53'、53"はそれぞれ整合回路用ストリップライン70'、70"を介して接続され、その接続ノード71と入力用電極パッド65との間にはMIM容量72が電氣的に接続されている。また、接続ノード71と第3電源電圧用電極パッド69との間にはスパイラル状のインダクタンス73が電氣的に接続されている。

【0019】

FET61、62のドレイン電極52'、52"は配線80に接続され、この配線80と出力用電極パッド66との間にはMIM容量81が電氣的に接続されている。また、配線80と第1電源電圧用電極パッド67は整合回路用ストリップライン82によって電氣的に接続されている。また、MIM容量81と第2電源電圧用電極パッド68との間にはスパイラル状のインダクタンス83が電氣的に接続されている。

【0020】

この構造において、ソース電極のインダクタンスをバイアホールの場合のインダクタンスに近づけるため、ワイヤによる接続本数（ワイヤ直径 $25\mu\text{m}$ の金線）を最大の6本としてある。

【0021】

しかし、このような構造では、ソースインダクタンスの低減化は小さい。ワイヤ本数を増大させてソースインダクタンスの低減を図るとすれば、電極パッド（ボンディングパッド）数の増大によってチップサイズを大きくしなければならない。即ちワイヤ本数は半導体チップのサイズによって規定されるものである。

【0022】

そこで、本発明者はワイヤ本数を最大とした状態において、電極パターンによ

るインダクタンス低減を分析検討した結果本発明をなした。

### 【0 0 2 3】

本発明の目的は、接地電極のインダクタンスの低減が図れる半導体装置を提供することにある。

本発明の他の目的は、高出力電力増幅装置の高周波特性の向上を図ることにある。

本発明の他の目的は、高出力電力増幅装置の製造コストの低減を図ることにある。

本発明の他の目的は、高周波特性が良好なパソコンカードを提供することにある。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

### 【0 0 2 4】

#### 【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

### 【0 0 2 5】

(1) アンテナに接続される送信用高出力電力増幅装置を有するパソコンカードであって、  
前記送信用高出力電力増幅装置は 1 乃至複数の増幅系を有し、  
前記増幅系は、トランジスタ (F E T) を形成した半導体チップ及び複数の外部電極端子を有し、  
前記外部電極端子は、増幅されるべき信号が供給される入力端子と、増幅された信号を出力する出力端子と、第 1 電源端子及び第 2 電源端子並びに第 3 電源端子とを構成し、  
前記トランジスタは 2 つ配置され、前記入力端子と前記出力端子の間に並列状態に電氣的に接続され、  
前記トランジスタの電極は、前記入力端子及び前記第 3 電源端子に接続される制御電極 (ゲート電極) と、前記出力端子及び前記第 1 電源端子に接続される第 1

の電極（ドレイン電極）と、接地端子となる前記第 2 電源端子に接続される第 2 の電極（ソース電極）とを構成し、  
前記半導体チップの上面には前記外部電極端子に対応する電極パッド及び前記トランジスタの前記第 2 の電極部分に形成される複数の電極パッドが設けられ、  
前記外部電極端子と該外部電極端子に対応する前記電極パッドを電氣的に接続する導電性のワイヤと、  
前記トランジスタの前記第 2 の電極部分に形成される複数の電極パッドと前記第 2 電源端子を電氣的に接続する導電性のワイヤとを有し、  
前記トランジスタの前記各電極は、基幹部と、前記基幹部に交差する方向に突出する複数のフィンガー部とからなり、前記第 2 の電極（ソース電極）の隣接する 2 本のフィンガー部間に、前記第 1 の電極（ドレイン電極）の 1 本のフィンガー部が配置され、  
前記第 2 の電極は固定電位に接続され、  
前記第 2 の電極（ソース電極）の両端に位置する前記フィンガー部の幅は前記両端間に位置する前記フィンガー部の幅よりも広がっていることを特徴とする。  
また、前記ソース電極における両端に位置するフィンガー部の幅は両端間に位置する複数のフィンガー部の幅の総和以上であり、かつソース電極の基幹部の幅は両端に位置するフィンガー部の幅よりも広がっている。  
また、高出力電力増幅装置は、前記半導体チップを搭載するとともに前記第 2 電源端子を構成する支持基板と、前記支持基板の周囲に配置され前記外部電極端子を構成する複数のリードと、前記支持基板及び前記外部電極端子の下面及び外端面を露出させる状態で前記支持基板、前記外部電極端子、前記半導体チップ及び前記ワイヤを被う絶縁性樹脂からなる封止部とを有することを特徴とする。

#### 【0026】

#### 【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

#### 【0027】

**(実施形態 1)**

図 1 乃至図 13 は本実施形態 1 の半導体装置及び高出力電力増幅装置並びにパソコンカードに係わる図である。図 1 は半導体装置 (MMIC チップ) に係わる図であり、図 2 乃至図 11 は高出力電力増幅装置に係わる図であり、図 12 及び図 13 はパソコンカードに係わる図である。

**【0028】**

無線 LAN で使用するパソコンカード (PC カード) 1 の高周波部は、図 12 のブロック図に示すように受信系と送信系を有する。受信系は、アンテナ 2 と、このアンテナ 2 が接続される送受信切り替え用スイッチ (SW) 3 と、送受信切り替え用スイッチ 3 に接続される受信用低雑音増幅器 (LNA) 4 と、受信用低雑音増幅器 4 に接続される受信系ミクサー (Rx-Mix) 5 と、受信系ミクサー 5 に接続されるベースバンド LSI 6 とで構成される。送信系は、ベースバンド LSI 6 と、このベースバンド LSI 6 に接続される送信系ミクサー (Tx-Mix) 7 と、送信系ミクサー 7 に接続される送信用の高出力電力増幅装置 10 と、高出力電力増幅装置 10 に接続される送受信切り替え用スイッチ 3 と、アンテナ 2 とで構成されている。また、電圧制御発振器 11 がベースバンド LSI 6、受信系ミクサー 5 及び送信系ミクサー 7 に接続されている。なお、詳細には説明しないが、ダイバーシチー構成で感度向上を図るため、アンテナは 2 本備えられている。

**【0029】**

パソコンカード 1 は、図 13 に示すような薄い偏平なカード構造からなり、一端側にはコネクタ 12 が設けられている。パソコンのカードスロットにパソコンカード 1 を挿入すると、コネクタ 12 がパソコンと電氣的に接続されるようになる。アンテナはパソコンカード 1 の筐体 13 に内蔵されている。このパソコンカード 1 は、最大伝送速度 54 Mbps を可能にした 5 GHz 帯「IEEE 802.11a」規格の無線 LAN 用のパソコンカードである。

**【0030】**

5 GHz という超高周波域での使用においては、パソコンカードに組み込まれる前記各部品は高い高周波特性を要求される。その中でも、高出力電力増幅装置

(高出力電力増幅器：高周波電力増幅装置)は重要なコンポーネントであり、高利得、高出力、低歪特性が要求され、かつ低コストも要求される。

#### 【0031】

つぎに、送信用の高出力電力増幅装置 10 について説明する。図 2 乃至図 4 は高出力電力増幅装置 10 に係わる図である。図 2 は高出力電力増幅装置の一部を切り欠いて示す模式的平面図、図 3 は底面図、図 4 は断面図である。

#### 【0032】

高出力電力増幅装置 10 は、図 2 乃至図 4 に示すように、薄い偏平な四角形状であり、上面及び側面は絶縁性の樹脂で形成された封止部 15 で形成されている。封止部 15 の下面（実装面）には、4 隅を細いタブ吊りリード 16 で支持された四角形の支持基板（タブ）17 の下面が露出している。図 2 及び図 3 に示すように、封止部 15 の下面において四角形の対角線に沿って前記タブ吊りリード 16 が延在している。また、タブ 17 の各辺の外側に複数のリード 18 が配置されている。そして、隣接するタブ吊りリード 16 の間には、特に限定はされないが、3 本のリード 18 が相互に平行に配置されている。

#### 【0033】

図 2 及び図 4 に示すように、タブ 17 の上面には図示しない接着材によって半導体チップ 20 が固定されている。そして、図 2 に示すように、半導体チップ 20 の上面に設けられた電極パッド 21 と、所定のリード 18 は導電性のワイヤ 22 で電氣的に接続されている。ワイヤ 22 は、例えば、直径  $25\ \mu\text{m}$  の金線が使用されている。

#### 【0034】

図 3 及び図 4 に示すように、タブ 17 及びリード 18 の上面側には絶縁性樹脂からなる封止部 15 が形成されている。この封止部 15 は半導体チップ 20 やワイヤ 22 を完全に被っている。封止部 15 の上面は平坦な面になっている。また、図 4 に示すように、タブ 17 及びタブ吊りリード 16 並びにリード 18 の下面は封止部 15 の下面に露出するとともに、リード 18 及びタブ吊りリード 16 の外端面は封止部 15 の周面と一致し、封止部 15 の周面に露出する構造になっている。即ち、本実施形態 1 の高出力電力増幅装置 10 は、封止部 15 の周面から



リードが突出しない、いわゆるノンリード型の半導体装置になっている。封止部 15 は四角形となることから、高出力電力増幅装置 10 は QFN 構造となる。

#### 【0035】

高出力電力増幅装置 10 の製造においては金属製のリードフレームが使用される。リードフレームは、薄い一枚の平坦な金属板を、エッチングやプレスによって所望のパターンに形成することによって形成される。単一のリードパターンは、四角形状の枠体（フレーム）を含むとともに、この枠体内に前述のタブ、タブ吊りリード、リードを有し、かつリード及びタブ吊りリードは枠体の内周面から内方に突出延在する構成になっている。リードフレームには一列または数列に亘ってリードパターンが配置された構造になり、リードパターンによる製品形成部が一列またはマトリックス状に配置された構成になる。

#### 【0036】

高出力電力増幅装置の製造においては、チップボンディングを行って各製品形成部のタブ 17 の上面に図示しない接着材を介して半導体チップ 20 を固定（搭載）し、つぎにワイヤボンディングを行って半導体チップ 20 の上面の電極パッド 21 とリード 18 の内端部分を導電性のワイヤ 22 で接続し、つぎに、トランスファモールディングを行ってリードフレームの上面側に一定高さの絶縁性樹脂層を形成し、つぎにダイシングを行ってリードフレームと絶縁性樹脂層を切断することによって、図 2 乃至図 4 に示す高出力電力増幅装置 10 を製造する。

#### 【0037】

トランスファモールディングにおいては、トランスファモールディング装置の成形下型と成形上型間にリードフレームを挟み、ついで成形上・下型によって形成されるキャビティ内に樹脂を圧入して絶縁性樹脂層を形成する。この際、リードフレームの下面は成形下型の平坦な面（パーティング面）に載せられるため、圧入された樹脂はリードフレームの下面には浸入しないことになり、結果としてタブ吊りリード 16、タブ 17 及びリード 18 の下面は絶縁性樹脂層の下面に露出するようになる。また、キャビティの天井面は平坦に形成され、かつ成形下型のパーティング面に平行になることから、絶縁性樹脂層、即ち封止部 15 の高さは、図 4 に示すように一定になる。また、ダイシングにおいては、ダイシングブ

リードによってリードフレームと絶縁性樹脂層が同時に切断されることから、リード18及びタブ吊りリード16の外端面は封止部15の周面と一致し、封止部15の周面に露出するようになる。

#### 【0038】

図1は半導体チップ20、即ちMMICチップの模式的平面図であり、その等価回路は図5のようになっている。半導体チップ20は、図1に示すように上面に複数の電極パッド21を有している。この電極パッド21は、図5に示すように、入力用電極パッド(Pin)25、出力用電極パッド(Pout)26、第1電源電圧用電極パッド(Vdd)27、第2電源電圧用電極パッド(GND)28、第3電源電圧用電極パッド(Vgg)29となっている。また、後述するが、トランジスタの第2の電極であるソース電極部分にもそれぞれ複数の電極パッド21が形成されている。

#### 【0039】

本実施形態1の高出力電力増幅装置10は、図5の等価回路図に示すように、入力用電極パッド(Pin)25と出力用電極パッド(Pout)26との間に2つのトランジスタ31、32が並列接続された構成になっている。トランジスタ31、32はHEMTであり、両トランジスタの入力電極となる制御電極(ゲート電極)及び出力電極となる第1の電極(ドレイン電極)はそれぞれ接続され、その接続部分は接続ノードA、Bを構成している。ゲート電極側の接続ノードAと入力用電極パッド25との間にはMIM容量33が接続されている。また、接続ノードAと第3電源電圧用電極パッド(Vgg)29との間にはインダクタンス34が接続されている。

#### 【0040】

また、ドレイン電極側の接続ノードBと出力用電極パッド(Pout)26との間にはMIM容量35が接続されている。MIM容量35と第2電源電圧用電極パッド(GND)28との間にはインダクタンス36が接続されている。また、トランジスタ31、32のドレイン電極は第1電源電圧用電極パッド(Vdd)27が接続され、ドレイン電極にVddの電位を印加するようになっている。例えば、Vddは3.3Vである。また、トランジスタ31、32の第2の電極

(ソース電極)は第2電源電圧用電極パッド(GND)28に接続されている。

#### 【0041】

トランジスタ31、32の各電極において、ゲート電極やドレイン電極は半導体チップ20に設けられた配線(特に符号は付けてない)を介して前述の各電極パッド21に繋がる。これに対して、ソース電極は、図2及び図1に示すように、ソース電極パターンの一部に複数の電極パッド21を有する構造になっている。

#### 【0042】

トランジスタにおいて、容量、抵抗、インダクタンス等によって入力整合回路や出力整合回路あるいはバイアス回路が構成されるが、図5に長方形部分として示すマイクロストリップラインmもこれら回路を構成する部分である。バイアス電位として第3電源電圧用電極パッド(V<sub>gg</sub>)29から供給される電位(V<sub>gg</sub>)は、例えば、マイナス1.0Vである。

#### 【0043】

つぎに、MMIC構造の半導体チップ20について説明する。図1は1段増幅器構成の半導体チップ20を示す。本発明はこの構成に限定されるものではなく、大きな増幅率を得る場合には、トランジスタを多段に従属接続させた多段増幅構成とする。また、増幅系はひとつとなっているが、切り替えスイッチによって切り替えて使用できる複数の増幅系を有する構成であってもよい。

#### 【0044】

本実施形態1の高出力電力増幅装置10の増幅系は、図1に示すように、入力用電極パッド(P<sub>in</sub>)25と出力用電極パッド(P<sub>out</sub>)26との間に2つのトランジスタ(HEMT)を並列に接続して出力の増大を図ったものである。

#### 【0045】

トランジスタ31はドレイン電極37、ソース電極38、ゲート電極39を有している。各電極は直線状に延在する基幹部と、この基幹部に交差する方向に突出する複数のフィンガー部(基幹部の一侧縁から櫛歯状に突出する複数のフィンガー部)とからなっている。即ち、ドレイン電極37はドレイン基幹部37aとこのドレイン基幹部37aの一侧縁から延在する複数のドレインフィンガー部3

7bとからなり、ソース電極38はソース基幹部38aとこのソース基幹部38aの一側縁から延在する複数のソースフィンガー部38bとからなり、ゲート電極39はゲート基幹部39aとこのゲート基幹部39aの一側縁から延在する複数のゲートフィンガー部39bとからなっている。

#### 【0046】

各フィンガー部はチャンネル領域40を横切るように延在し、第2の電極（ソース電極）の隣接する2本のフィンガー部間に、第1の電極（ドレイン電極）の1本のフィンガー部が配置されたパターンになっている。換言するならば、各電極のフィンガー部は相互に噛み合うように配列されている。即ち、ドレインフィンガー部37bとソースフィンガー部38bとの間にゲートフィンガー部39bが位置するような噛み合いパターンになっている。また、ソース基幹部38aには四角形状の電極パッド21が複数（6個）設けられている。この電極パッド21には、図2に示すように、ワイヤ22が接続される。また、ソース電極は固定電位に接続される。

#### 【0047】

トランジスタ32はドレイン電極42、ソース電極43、ゲート電極44を有している。トランジスタ32の各電極は直線状に延在する基幹部と、この基幹部の一側縁から櫛歯状に突出する複数のフィンガー部とからなっている。即ち、ドレイン電極42はドレイン基幹部42aとこのドレイン基幹部42aの一側縁から延在する複数のドレインフィンガー部42bとからなり、ソース電極43はソース基幹部43aとこのソース基幹部43aの一側縁から延在する複数のソースフィンガー部43bとからなり、ゲート電極44はゲート基幹部44aとこのゲート基幹部44aの一側縁から延在する複数のゲートフィンガー部44bとからなっている。

#### 【0048】

各フィンガー部はチャンネル領域45を横切るように延在し、かつ各電極のフィンガー部は相互に噛み合うように配列されている。即ち、ドレインフィンガー部42bとソースフィンガー部43bとの間にゲートフィンガー部44bが位置するような噛み合いパターンになっている。また、ソース基幹部43aには四角形

状の電極パッド 21 が複数（6 個）設けられている。この電極パッド 21 には、図 2 に示すように、ワイヤ 22 が接続される。

#### 【0049】

トランジスタ 31、32 の両ゲート電極 39、44 は接続されて前述のように接続ノード A を構成している。また、トランジスタ 31、32 の両ドレイン電極 37、42 は接続されて前述のように接続ノード B を構成している。

#### 【0050】

そして、前述のように、ゲート電極側の接続ノード A と入力用電極パッド 25 との間には MIM 容量 33 が接続され、接続ノード A と第 3 電源電圧用電極パッド 29 との間にはインダクタンス 34 が接続されている。また、ドレイン電極側の接続ノード B と出力用電極パッド 26 との間には MIM 容量 35 が接続され、MIM 容量 35 と第 2 電源電圧用電極パッド 28 との間にはインダクタンス 36 が接続されている。また、トランジスタ 31、32 のドレイン電極には第 1 電源電圧用電極パッド（Vdd）27 が接続され、ドレイン電極に Vdd の電位を印加するようになっている。図 1 における各電極パッド 21 や電極に接続される線部分は配線やマイクロストリップライン m である。なお、図 2 においては、図面が複雑となって見難くなることから、半導体チップ 20 にあっては、トランジスタ 31、32、電極パッド 21、電極パッド 21 に接続されるワイヤ 22 の符号を示し、他の符号は省略してある。

#### 【0051】

高出力電力増幅装置 10 において、図 2 に示すように、半導体チップ 20 の上面の各電極パッド 21 は、ワイヤ 22 を介してタブ 17 の周囲に配置されるリード 18 やタブ 17 に接続される。図 2 において、リード 18 には 1 乃至 12 の符号を示してあり、符号 2 のリード 18 は入力端子（Pin）となり、ワイヤ 22 を介して半導体チップ 20 の入力用電極パッド 25 に電氣的に接続されている。符号 8 のリード 18 は出力端子（Pout）となり、ワイヤ 22 を介して半導体チップ 20 の出力用電極パッド 26 に電氣的に接続されている。

#### 【0052】

また、符号 9 のリード 18 は第 1 電源電圧端子（Vdd）となり、ワイヤ 22

を介して半導体チップ20の第1電源電圧用電極パッド27に電氣的に接続されている。符号4のリード18は第3電源電圧端子(V<sub>gg</sub>)となり、ワイヤ22を介して半導体チップ20の第3電源電圧用電極パッド29に電氣的に接続されている。半導体チップ20の第2電源電圧用電極パッド(GND)28はワイヤ22を介してグランド電位とされるタブ17に電氣的に接続されている。

#### 【0053】

また、トランジスタ31、32のソース電極部分にそれぞれ設けられた複数の電極パッド21とタブ17は導電性のワイヤ22でそれぞれ電氣的に接続されている。なお、符号1、3、5～7、10～12のリード18は、回路的には使用されないノンコンタクトリードである。しかし、これらのノンコンタクト(NC)リードも高出力電力増幅装置10を実装基板に実装する際、実装用の端子として使用される。

この構造において、ソース電極のインダクタンスをバイアホールの場合のインダクタンスに近づけるため、ワイヤによる接続本数(ワイヤ直径25 $\mu$ mの金線)を最大の6本としてある。

#### 【0054】

ここで、半導体チップ20におけるトランジスタ(HEMT)、MIM容量及びインダクタンスについて、図6乃至図9を参照しながら説明する。図6はMMICチップのHEMT部分、MIM容量部分及びスパイラルインダクタンス部分を示す模式的断面図、図7はHEMT部分を示す模式的拡大断面図、図8はMIM容量部分やスパイラルインダクタンス部分を示す模式的拡大断面図、図9はMIM容量の等価回路図である。

#### 【0055】

図6は、HEMT、MIM容量、インダクタンスを説明の便宜上左から右に亘って配置形成した図である。ここでは、HEMTとしてトランジスタ31を、MIM容量としてMIM容量33を、インダクタンスとしてインダクタンス34を示すものとする。各部の説明は、図7以降で行うことから、図6への他の符号は省略する。

#### 【0056】

半導体チップ20は、図7に示すように、半絶縁性GaAs基板85を基に形成されている。半絶縁性GaAs基板85の上面（主面）側には、GaAsエピタキシャル層86が形成されている。トランジスタ31部分では、前記GaAsエピタキシャル層86上に、AlGaAsからなる高抵抗のバッファ層87、アンドープAlGaAs層88、電子供給層となる2層の $n^{+}$ -AlGaAs層89及びオーミックコンタクトをとるための $n^{+}$ -GaAs層90が順次形成された構造になっている。AlGaAs層88と2層の $n^{+}$ -AlGaAs層89の接合境界近傍には2次元電子チャネル91が形成される。バッファ層87は洩れ電流防止及びHEMTにおける短チャネル効果防止の役割を果たす。

#### 【0057】

HEMT形成領域はメサエッチングを行いメサ部92を形成する。メサエッチングはバッファ層87を越えてGaAsエピタキシャル層86の表層部分にまで及ぶ。メサ部92の表面を絶縁膜93（SiO<sub>2</sub>膜93a、SiN膜93b）で被うとともに、この絶縁膜93を選択的にエッチングし、残留する絶縁膜93をマスクとしてエッチングを行い $n^{+}$ -GaAs層90を越えて2層の $n^{+}$ -AlGaAs層89の表層部分に至る溝94を所定パターンに形成する。本実施形態1では、この溝94上にゲート（G）電極39のゲートフィンガー部39bが設けられる。図1に対応して、溝94は平行に6本設けられている。

#### 【0058】

また、例えば、溝94の両側の $n^{+}$ -GaAs層90は、ドレイン領域またはソース領域として使用される。従って、 $n^{+}$ -GaAs層90の上面を被う絶縁膜93は選択的に除去されてコンタクト孔が形成され、このコンタクト孔部分には、ドレイン（D）電極37のドレインフィンガー部37bまたはソース（S）電極38のソースフィンガー部38bが形成されている。ゲート電極39はPtで形成され、ドレイン・ソース電極37、38はAuGeNiで形成されている。また、ドレイン・ソース電極37、38の厚さは0.38 $\mu$ m程度である。

#### 【0059】

MIM容量33及びインダクタンス34は、図8に示す断面構造になっている。即ち、MIM容量33及びインダクタンス34が形成される領域では、バッファ

ア層 87 を始めとしてそれより上の層はエッチング除去されている。そして、GaAs エピタキシャル層 86 上に絶縁膜 96、97 が重ねて形成されている。

#### 【0060】

図 8 における MIM 容量 33 部分での 100 は絶縁膜 97 上に形成された下部電極であり、この下部電極 100 は延在して MIM 容量 33 とインダクタンス 34 を接続するとともに接続ノード A に至る配線ともなる。この下部電極 100 の左端部分は選択的に重ねて形成される絶縁膜 101、102、103 によって被われ、一部の下部電極 100 の上面が露出される構造になる。この露出部分に重なるように容量を形成する誘電体層 104 が選択的に形成されている。誘電体層 104 の周縁は絶縁膜 102 の上面にまで延在している。前記誘電体層 104 の上面に重なり、絶縁膜 101～103 の上面及び左端面に重なり、さらに絶縁膜 97 上面を延在する引出し電極 105 が形成されている。これにより、MIM 容量の一方が形成される。引出し電極 105 は第 3 電源電圧用電極パッド (Vgg) 29 に接続されることになる。

#### 【0061】

また、引出し電極 105 の上面の前記誘電体層 104 に対応する部分には選択的に絶縁膜 106 が形成され、引出し電極 105 の上面が露出する構造が形成される。そして、この露出する引出し電極 105 に重なるように容量を形成する誘電体層 107 が選択的に形成されている。誘電体層 107 は周囲の絶縁膜 106 上にも延在している。また、誘電体層 107 の上面及び絶縁膜 106 の上面及び右端面並びに絶縁膜 103、102 の右端面に重なって上部電極 108 が形成されている。この上部電極 108 は下部電極 100 に電氣的に接続されている。これによりもう一方の MIM 容量が形成される。これにより、図 9 の等価回路図に示す MIM 容量が形成されることになる。誘電体層 104、107 は SiO<sub>2</sub> 膜で形成されている。

#### 【0062】

インダクタンス 34 は、図 8 及び図 1 に示すように、角張った渦巻き部 110 によって構成されている (図 1 では符号省略)。渦巻き部 110 の中心は、GaAs エピタキシャル層 86 の上面に形成された引出し電極 111 に電氣的に接続



されている。引出し電極 111 は絶縁膜 97 の下を通り第 3 電源電圧用電極パッド (V<sub>gg</sub>) 29 に連なっている。また、渦巻き部 110 の外周端は下部電極 100 に電氣的に接続されている。渦巻き部 110 の下層は Mo であり、上層は Au である。また、引出し電極 111 は Al である。

#### 【0063】

このような本実施形態 1 の高出力電力増幅装置 10 においては、HEMT におけるソース電極 38 のソースフィンガー部 38b の幅を、図 10 に示すように設定している。すなわち、両端に位置するフィンガー部の幅と、これら両端に位置するフィンガー部の間に位置するフィンガー部の幅を変え、両端のソースフィンガー部 38b の幅 W<sub>3</sub> を、両端の間のソースフィンガー部 38b の幅 W<sub>1</sub> に比較して広く (太く) してある。また、幅 W<sub>3</sub> は両端の間のソースフィンガー部 38b の幅 W<sub>1</sub> の総和以上になっている。また、ソース電極 38 のソース基幹部 38a の幅 W<sub>2</sub> は幅 W<sub>3</sub> 以上の広さの幅になっている。

#### 【0064】

また、トランジスタ 31 及びトランジスタ 32 の電極パターンは、図 2 に示すように入力用電極パッド 25 と出力用電極パッド 26 を結ぶ線に対して対称に配置し、かつ各トランジスタ 31、32 において、各フィンガー部は入力用電極パッド 25 と出力用電極パッド 26 を結ぶ線に直交する方向に延在している。これにより、半導体チップ 20 の上面を有効に使用できることになり、半導体チップ 20 の小型化が達成できる。なお、図 10 には示していないが、ソース基幹部 38a には電極パッド 21 が設けられている。本実施形態 1 では電極パッド 21 は一列に 6 個設けられている (図 1 参照)。

#### 【0065】

図 10 に示した電極パターンにおける効果を実証するために、MMIC を試作して検証した。図 17 に示した FET 電極パターンを有する MMIC と、図 1 に示した FET 電極パターンを有する MMIC において、FET (HEMT) のソースボンディング本数をバイアホールを形成した時のインダクタンスと同じインダクタンスになるボンディングワイヤ本数 (6 本、直径 25  $\mu$ m の金線) において特性を比較した。HEMT のゲート幅を 1.2 mm (ゲートフィンガー部本数

6本)とし、ゲート長を $0.4\mu\text{m}$ とし、ゲートフィンガー部長を $200\mu\text{m}$ とした。内側(端子間)のソースフィンガー部38bの幅 $W1$ を $20\mu\text{m}$ とし、端のソースフィンガー部38bの幅 $W3$ を $60\mu\text{m}$ とし、ドレインフィンガー部37bの幅 $W4$ を $20\mu\text{m}$ とした。

#### 【0066】

評価条件は、 $V_{dd}=5\text{V}$ 、 $I_d=120\text{mA}@5.2\text{GHz}$ である。結果は表1のとおりである。

#### 【0067】

【表1】

特性項目	本発明	従来構成
利得(dB)	8.7	7.6
P1dB(dBm)	26.0	25.0
幅 $W1/W3(\mu\text{m})$	20/60	20/-

$V_d=5\text{V}, I_d=120\text{mA} @ 5.25\text{GHz}$

#### 【0068】

本実施形態1の高出力電力増幅装置10では、利得は従来構成の7.6dBから本実施形態1の8.7dBと1.1dB向上し、P1dB(小信号利得から利得が1dB落ちた時の出力パワー)では1dBm性能向上が確認できた。従って、性能向上分ワイヤ本数を削減できることになり、半導体チップの小型化(チップシュリンク)が可能になる。

#### 【0069】

このような高出力電力増幅装置10、即ちHEMTデバイスの性能向上について、図11を参照しながら定性的ではあるが説明する。ドレイン電極 $I_d$ は、単位ゲートごとの電流 $I_{di}$ ( $i=1, 2, 3, 4, 5, 6$ )の和である。理想的には、単位ゲートごとの電流 $I_{di}$ は同じであるが、一般的には、周期的に並んだ場合の電流値は、電界集中の起こる中心部が大きく、端ほど減少している。対称性から、 $I_{d3}=I_{d4}$ 、 $I_{d2}=I_{d5}$ 、 $I_{d1}=I_{d6}$ になる。

従って、下記の数式が得られる。

#### 【0070】

## 【数 1】

$$I_{d3} = I_{d4} > I_{d2} = I_{d5} > I_{d1} = I_{d6}$$

## 【0071】

この数 1 から分かるように、外側の電極を太く（広く）することで、中心部の電界集中を緩和し、周辺部電流  $I_{d1}$ 、 $I_{d6}$  を中心部  $I_{d3}$ 、 $I_{d4}$  と同程度まで大きくできる。電流増加によりデバイスの性能が向上したと考えられる。

## 【0072】

図 1 に示す本実施形態 1 の半導体チップ 20（MMIC チップ）は、その製造において、バイアホール使用の製造に比べ、マスク枚数で 5 枚程度削減できるとともに、高精度な裏面加工もないことから、3 週間程度の工程短縮が可能になり、製造コストの低減が達成できる。また、製造に使用する基板（半絶縁性 GaAs 基板）の厚さは  $150\ \mu\text{m}$  程度と厚く、薄層化する必要がないことから、取扱性（ハンドリング）が悪くなる等の問題もなくなり、作業性が向上する。

本実施形態 1 によれば以下の効果を有する。

## 【0073】

(1) 本実施形態 1 では、HEMT の接地電極であるソース電極 38、43 の櫛歯状に配列されるソースフィンガー部 38b、43b において、両端に位置するソースフィンガー部 38b、43b の電極幅  $W3$  を、両端間に位置するソースフィンガー部 38b、43b の電極幅  $W1$  よりも広く（太く）してあることから、中心部の各ソースフィンガー部 38b、43b での電界集中が緩和され、両端に位置するソースフィンガー部 38b、43b での電流増加が可能になり、デバイスの性能（高周波特性）が向上する。また、両端に位置するソースフィンガー部 38b、43b の電極幅  $W3$  を、両端間に位置するソースフィンガー部 38b、43b の電極幅  $W1$  の総和よりも広くしてあることから、中心部の各ソースフィンガー部 38b、43b での電界集中が緩和され、両端に位置するソースフィンガー部 38b、43b での電流増加が可能になる。

## 【0074】

本発明は、HEMT 単体、即ち半導体装置としても、両端に位置するソースフィンガー部の電極幅  $W3$  を、両端間に位置するソースフィンガー部の電極幅  $W1$

よりも広く（太く）してあることから、中心部の各ソースフィンガー部での電界集中が緩和され、両端に位置するソースフィンガー部での電流増加が可能になり、デバイスの性能（高周波特性）が向上する。また、両端に位置するソースフィンガー部の電極幅 $W_3$ を、両端間に位置するソースフィンガー部の電極幅 $W_1$ の総和よりも広くしてあることから、中心部の各ソースフィンガー部での電界集中が緩和され、両端に位置するソースフィンガー部での電流増加が可能になる。

#### 【0075】

(2) 本実施形態1の高出力電力増幅装置10においては、内蔵するトランジスタ31、32（HEMT）における出力電極（ドレイン電極37、42）の複数のドレインフィンガー部37b、42bの各位置の電位差による電流差を低減するように、接地電極（ソース電極38、43）のオーミック抵抗を生じるように出力して、複数の接地電極フィンガー（ソースフィンガー部38b、43b）を共通接続する共通接地電極（ソース基幹部38a、43a）の電極幅 $W_2$ を両端に位置するソースフィンガー部38b、43bの電極幅 $W_3$ より大としてあることからパワーロスの低減を図ることができる。

#### 【0076】

(3) また、トランジスタ31及びトランジスタ32の電極パターンは、入力用電極パッド25と出力用電極パッド26を結ぶ線に対して対称に配置し、かつ各トランジスタ31、32において、各フィンガー部は入力用電極パッド25と出力用電極パッド26を結ぶ線に直交する方向に延在していることから、半導体チップ20の上面を有効に使用できることになり、半導体チップ20の小型化が達成できる。

#### 【0077】

(4) 本実施形態1の高出力電力増幅装置10は、半導体チップ20（MMICチップ）の製造において、バイアホール使用の製造に比べ、マスク枚数で5枚程度削減できるとともに、高精度な裏面加工もないことから、3週間程度の工程短縮が可能になり、製造コストの低減が達成できる。

#### 【0078】

(5) 本実施形態1の高出力電力増幅装置10の製造においては、使用する基

板（半絶縁性GaAs基板）の厚さは150 $\mu$ m程度と厚く、薄層化する必要がないことから、取扱性（ハンドリング）が悪くなる等の問題もなくなり、作業性が向上し、生産性が向上する。これにより、高出力電力増幅装置10の製造コストの低減が可能になる。

#### 【0079】

（6）上記（1）乃至（5）により、本実施形態によれば、高周波特性が優れ、性能の高い（パワーロスが少ない）小型で安価な高出力電力増幅装置を提供することができる。

#### 【0080】

（7）高周波特性が優れ高性能の小型の高出力電力増幅装置を組み込むことによって、特性が優れたパソコンカードを提供することができる。また、パソコンカードの小型化も可能になる。

#### 【0081】

（実施形態2）

図14及び図15は本発明の他の実施形態（実施形態2）である高出力電力増幅装置に係わる図である。実施形態1では、半導体チップ20（図示せず）にはトランジスタとしてHEMTが組み込まれたが、本実施形態2ではバイポーラトランジスタであるHBTが半導体チップ20に組み込まれている。図14は半導体チップ20におけるトランジスタ部分を示す図である。

#### 【0082】

本実施形態2も出力を増大するために、実施形態1と同様にトランジスタ（HBT）141、142を並列接続した構造になっている。図14には上段にトランジスタ141が位置し、下段にトランジスタ142が位置している。両トランジスタ141、142は上下において対称なパターンとなっている。従って、トランジスタ141、142の各部の名称及びその符号は以下同じものを使用して説明することにする。

#### 【0083】

トランジスタ141、142は、エミッタ（E）、ベース（B）、コレクタ（C）の各電極を有するが、本実施形態1ではエミッタ接地構造となる。HBT1

41、142は、図14に示すように、実施形態1のHEMTと同様に電極パターンは櫛形電極構造となりエミッタ、ベース、コレクタの各電極123、128、127も基幹部123a、128a、127aと、この基幹部から複数のフィンガー部123b、128b、127bを突出させる櫛歯状パターンになっている。しかし、本実施形態2の場合は、これも特に限定はされないが、コレクタ電極127の基幹部127aの両側からそれぞれ複数のコレクタフィンガー部127bを突出させ、これら各コレクタフィンガー部127bにベースフィンガー部128b及びエミッタフィンガー部123bが係わり合ってHBT構造を形作っている。

#### 【0084】

ベースフィンガー部128bは、コレクタフィンガー部127bの周囲を僅かに離れて囲むようにかつリング状になることなく延在するパターンになっている。エミッタ基幹部123aから突出するエミッタフィンガー部123bは、途中で二股に分岐し、分岐部分をベースフィンガー部128bの外側に僅かに離れて延在させるパターンになっている。

#### 【0085】

HBT141、142は、出力増大のため、コレクタ基幹部127aの両側からそれぞれ複数のコレクタ基幹部127aを突出させるパターンとなることから、図14において上下方向に延在するコレクタ基幹部127aの両側にそれぞれエミッタ電極123及びベース電極128が配置されることになる。

#### 【0086】

各ベース基幹部128aはベース用引出し電極128eに接続される。ベース用引出し電極128eは最終的に1本となって、図14に示すように左側に導かれる。このベース用引出し電極128eは実施形態1におけるMIM容量33及びインダクタンス34に接続されることになる。また、HBT141、142の両コレクタ基幹部127aはコレクタ用引出し電極127eに接続される。コレクタ用引出し電極127eは、図14に示すように右側に導かれる。このコレクタ用引出し電極127eは実施形態1における第1電源電圧端子(Vdd)27及びMIM容量35に接続されることになる。

## 【0087】

エミッタ電極123のエミッタ基幹部123aには複数の電極パッド145が設けられている。この電極パッド145には、実施形態1と同様にタブ17に接続されるワイヤ22が接続される。

## 【0088】

つぎに、図15を参照しながら、フィンガー部分である図14のA-A'線に沿う断面の構造について説明する。HBTは、図15に示すように、半絶縁性GaAs基板120の上面（主面）に $n^+$ -GaAsからなる $n$ -サブエミッタ層121を選択的に有する構造になっている。また、この $n$ -サブエミッタ層121の上面には選択的に $n$ -GaAsエミッタ層122が形成されている。この $n$ -GaAsエミッタ層122の周辺の $n$ -サブエミッタ層121の上面にはAuGeからなるエミッタ電極123（エミッタフィンガー部123b）が形成されている。

## 【0089】

また、 $n$ -GaAsエミッタ層122の上面には $p^+$ -GaAs層124が形成され、かつ $p^+$ -GaAs層124上には $n$ -GaAsベース層125が設けられている。そして、 $n$ -GaAsベース層125の上面中央には $n$ -InGaPコレクタ層126が形成されている。この $n$ -InGaPコレクタ層126の上面にはWSiからなるコレクタ電極127（コレクタフィンガー部127b）が設けられている。また、 $n$ -InGaPコレクタ層126の周辺の $n$ -GaAsベース層125上面にはPtからなるベース電極128（ベースフィンガー部128b）が設けられている。

## 【0090】

また、半絶縁性GaAs基板120の主面側は絶縁膜129で被われている。この絶縁膜129によって、エミッタ電極123（エミッタフィンガー部123b）、 $n$ -GaAsエミッタ層122、 $p^+$ -GaAs層124、 $n$ -GaAsベース層125、ベースフィンガー部128b、 $n$ -InGaPコレクタ層126、コレクタフィンガー部127bが被われる。

## 【0091】

本実施形態 1 のトランジスタ (HBT) 141、142 における接地電極 (エミッタ電極 123) においても、実施形態 1 と同様に、エミッタフィンガー部 123b の両端間に位置するフィンガー部の幅  $W_3$  は、両端間に位置するフィンガー部の幅  $W_1$  よりも広く、かつ両端間に位置するフィンガー部の幅  $W_1$  の総和以上になっている。これにより、実施形態 1 と同様に、中心部の各エミッタフィンガー部 123b での電界集中が緩和され、両端に位置するエミッタフィンガー部 123b での電流増加が可能になり、デバイスの性能 (高周波特性) が向上する。また、エミッタ基幹部 123a の幅  $W_2$  は幅  $W_3$  以上の太さの幅になっていることから、パワーロスの低減を図ることができる。

#### 【0092】

以上本発明者によってなされた発明を実施形態に基づき具体的に説明したが、本発明は上記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。即ち、本実施形態では、トランジスタとして HEMT や HBT を使用した例について説明したが、Si-Ge FET や MOSFET 等他のトランジスタを使用したものでも前記実施例同様な効果が得られる。

#### 【0093】

また、実施形態の高出力電力増幅装置においては増幅系が一つであるが、増幅系が複数のものにも本発明を同様に適用でき実施形態と同様な効果を得ることができる。

#### 【0094】

##### 【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

(1) 接地電極のインダクタンスの低減によって高出力電力増幅装置の高周波特性の向上を図ることができる。

(2) 高出力電力増幅装置の製造コストの低減を図ることができる。

(3) 高周波特性が良好なパソコンカードを提供することができる。

##### 【図面の簡単な説明】



**【図 1】**

本発明の一実施形態（実施形態 1）である高出力電力増幅装置に組み込む MMIC チップの模式的平面図である。

**【図 2】**

前記高出力電力増幅装置の一部を切り欠いて示す模式的平面図である。

**【図 3】**

前記高出力電力増幅装置の底面図である。

**【図 4】**

前記高出力電力増幅装置の断面図である。

**【図 5】**

前記 MMIC チップの等価回路図である。

**【図 6】**

前記 MMIC チップの HEMT 部分、MIM 容量部分及びスパイラルインダクタンス部分を示す模式的断面図である。

**【図 7】**

前記 HEMT 部分を示す模式的拡大断面図である。

**【図 8】**

前記 MIM 容量部分やスパイラルインダクタンス部分を示す模式的拡大断面図である。

**【図 9】**

前記 MIM 容量の等価回路図である。

**【図 10】**

前記 HEMT の電極パターンを示す模式的平面図である。

**【図 11】**

前記 HEMT におけるドレイン電流経路を模式的に示す模式図である。

**【図 12】**

本実施形態 1 の高出力電力増幅装置が組み込まれる無線 LAN PC カードの機能構成を示すブロック図である。

**【図 13】**

前面無線LANPCカードの外観を示す模式図平面図である。

【図14】

本発明の他の実施形態（実施形態2）である高出力電力増幅装置に組み込んだMMICチップにおけるHBTの電極パターンを示す模式的平面図である。

【図15】

図14のA-A'線に沿う模式的拡大断面図である。

【図16】

従来のFETの電極パターン例を示す模式的平面図である。

【図17】

従来の高出力電力増幅装置に組み込んだMMICチップにおけるHEMTの電極パターン等を示す模式的平面図である。

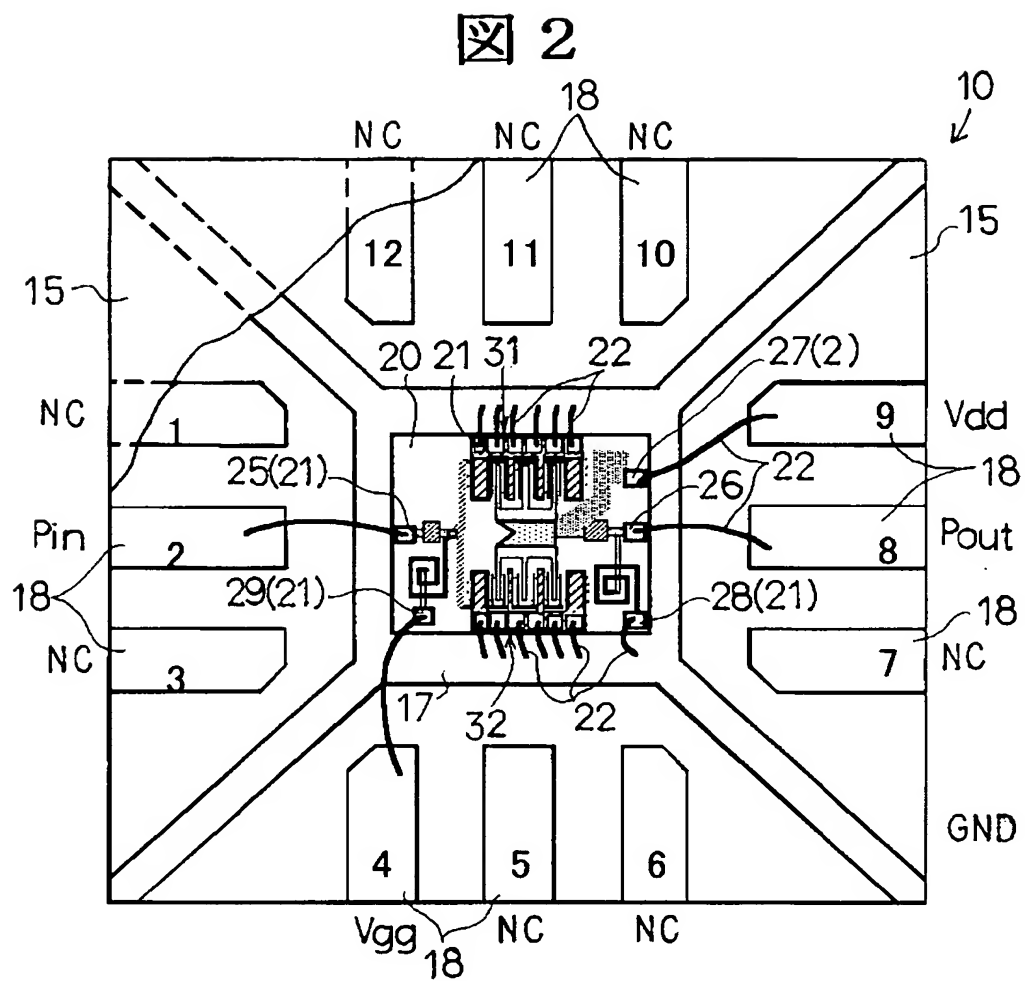
【符号の説明】

1…パソコンカード、2…アンテナ、3…送受信切り替え用スイッチ、4…受信用低雑音増幅器、5…受信系ミクサー、6…ベースバンドLSI、7…送信系ミクサー、10…高出力電力増幅装置、11…電圧制御発振器、12…コネクタ、13…筐体、15…封止部、16…タブ吊りリード、17…支持基板（タブ）、18…リード、20…半導体チップ、21, 51c', 51c'', 145…電極パッド、22…ワイヤ、25…入力用電極パッド（Pin）、26…出力用電極パッド（Pout）、27…第1電源電圧用電極パッド（Vdd）、28…第2電源電圧用電極パッド（GND）、29…第3電源電圧用電極パッド（Vgg）、31, 32…トランジスタ、33, 35, 72, 81…MIM容量、34, 36, 73, 83…インダクタンス、37, 42, 52, 52', 52''…ドレイン電極、37a, 42a…ドレイン基幹部、37b, 42b…ドレインフィンガー部、38, 43, 51, 51', 51''…ソース電極、38a, 43a, 51a, 51a', 51a''…ソース基幹部、38b, 43b…ソースフィンガー部、39, 44, 53, 53', 53''…ゲート電極、39a, 44a…ゲート基幹部、39b, 44b…ゲートフィンガー部、40, 45, 50, 50', 50''…チャンネル領域、51b, 51b', 51b''…フィンガー部（ソースフィンガー部）、52b, 52b', 52b''…フィンガー部（ドレインフィンガー部）

部)、53b, 53b', 53b"…フィンガー部(ゲートフィンガー部)、60…MMICチップ(半導体チップ)、61, 62…FET、65…入力用電極パッド、66…出力用電極パッド、67…第1電源電圧用電極パッド、68…第2電源電圧用電極パッド、69…第3電源電圧用電極パッド、70', 70", 82…整合回路用ストリップライン、71…接続ノード、80…配線、85, 120…半絶縁性GaAs基板、86…GaAsエピタキシャル層、87…バッファ層、88…AlGaAs層、89…2層のn<sup>+</sup>-AlGaAs層、90…n<sup>+</sup>-GaAs層、91…2次元電子チャネル、92…メサ部、93, 96, 97, 101, 102, 103, 106, 129…絶縁膜、93a…SiO<sub>2</sub>膜、93b…SiN膜、94…溝、100…下部電極、104, 107…誘電体層、105, 111…引出し電極、108…上部電極、110…渦巻き部、121…n-サブエミッタ層、122…n-GaAsエミッタ層、123…エミッタ電極、123a…エミッタ基幹部、123b…エミッタフィンガー部、124…p<sup>+</sup>GaAs層、125…n-GaAsベース層、126…n-InGaPコレクタ層、127…コレクタ電極、127a…コレクタ基幹部、127b…コレクタフィンガー部、127e…コレクタ用引出し電極、128…ベース電極、128a…ベース基幹部、128b…ベースフィンガー部、128e…ベース用引出し電極、141, 142…トランジスタ(HBT)。

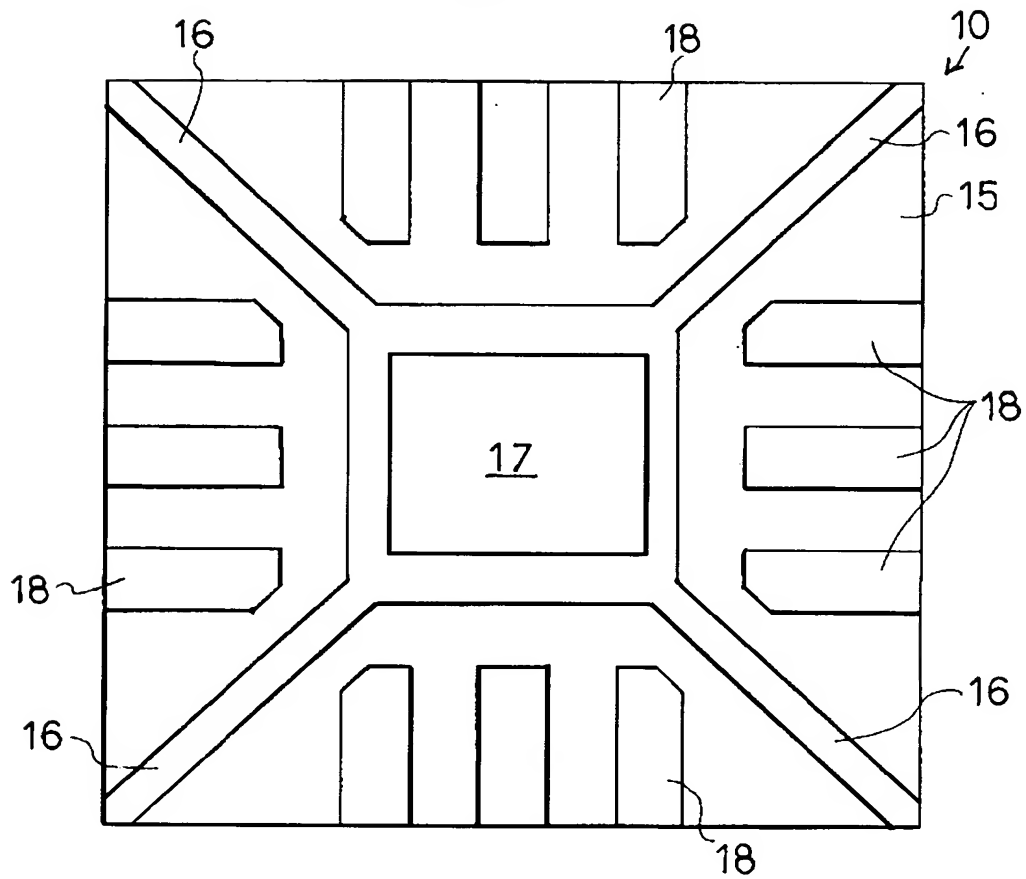


【圖 2】



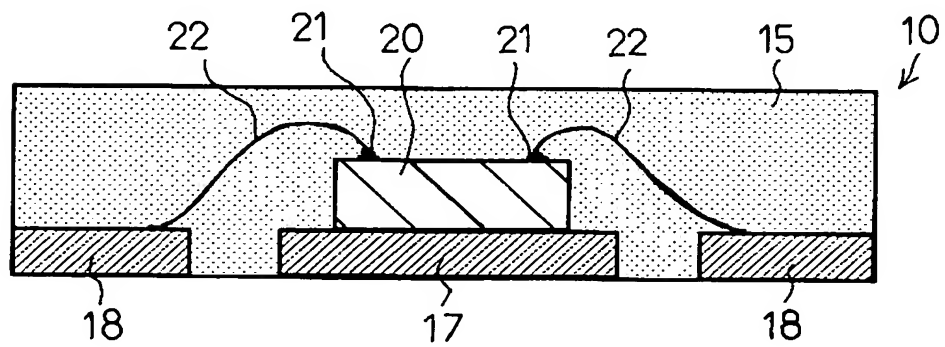
【図 3】

図 3



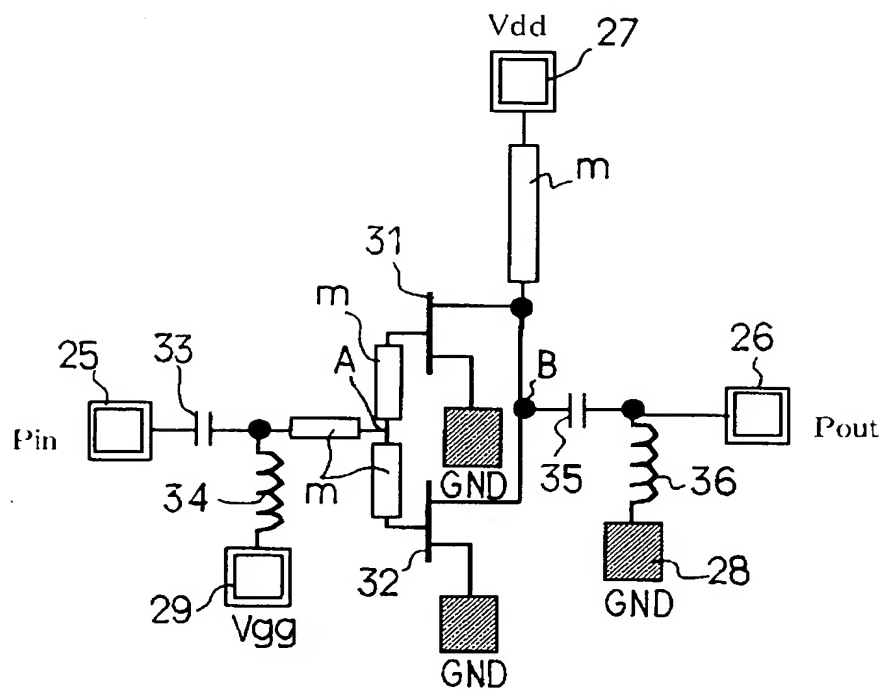
【図 4】

図 4



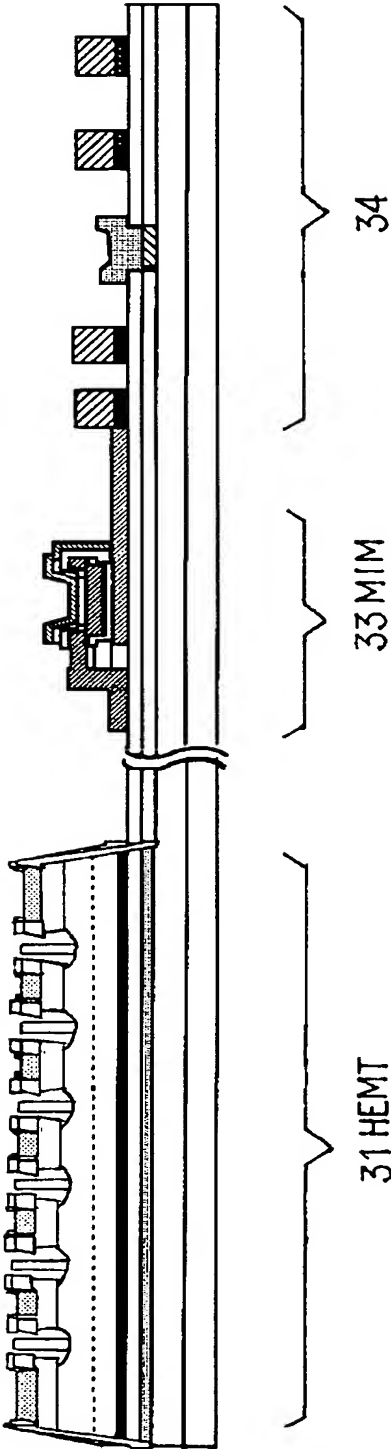
【図 5】

図 5



【図 6】

図 6

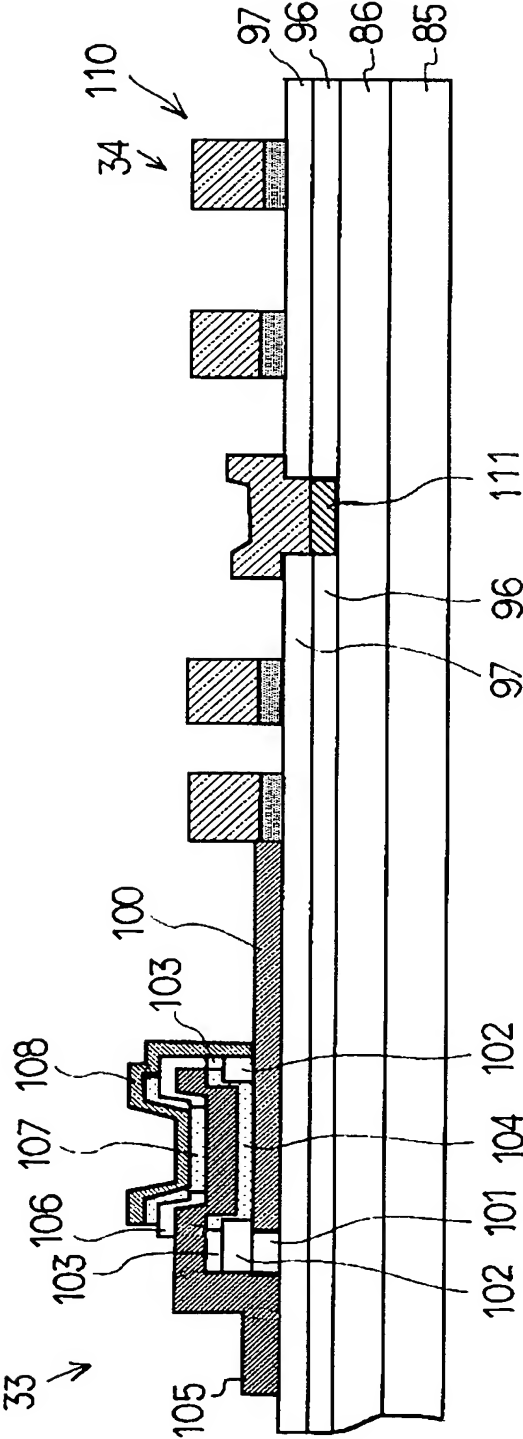






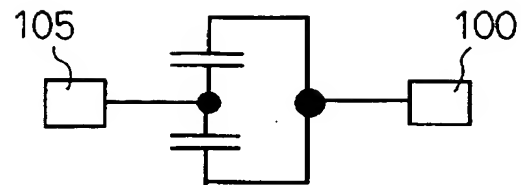
【図 8】

図 8



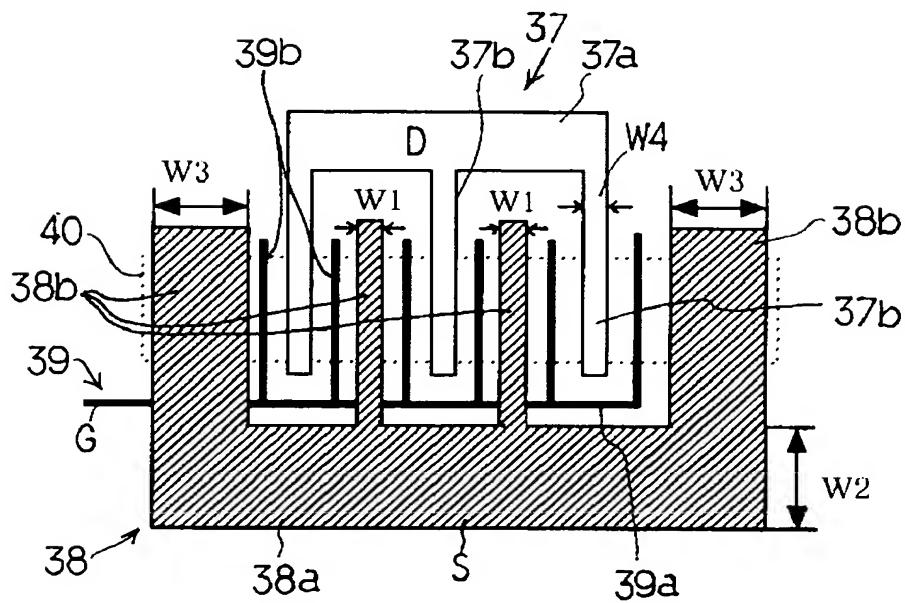
【図 9】

图 9



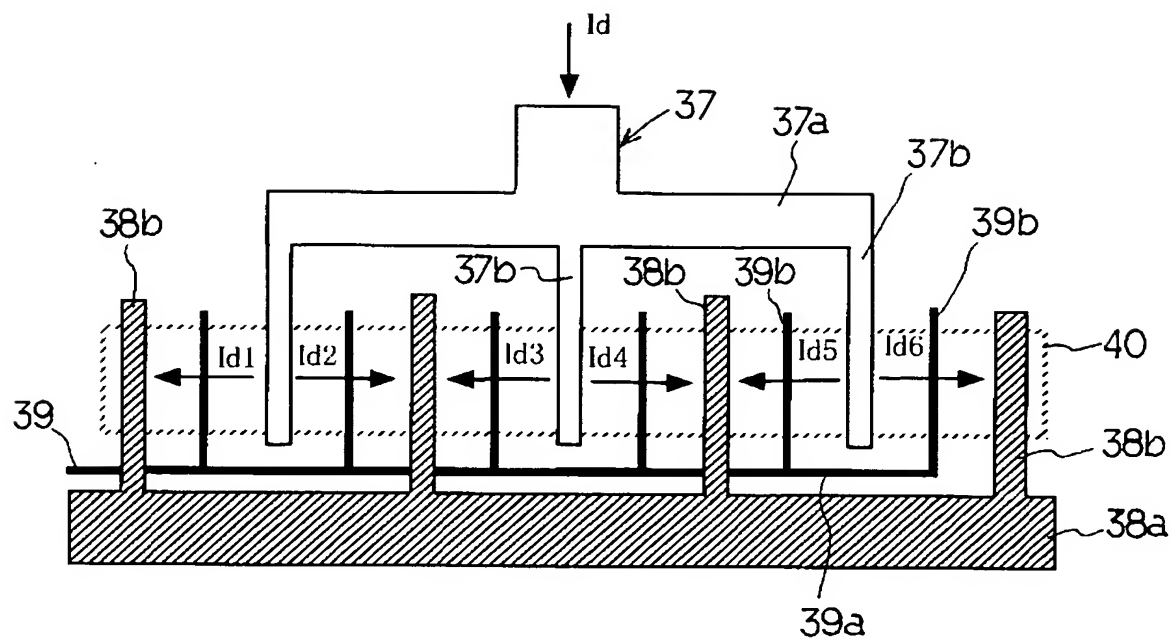
【図 10】

图 10



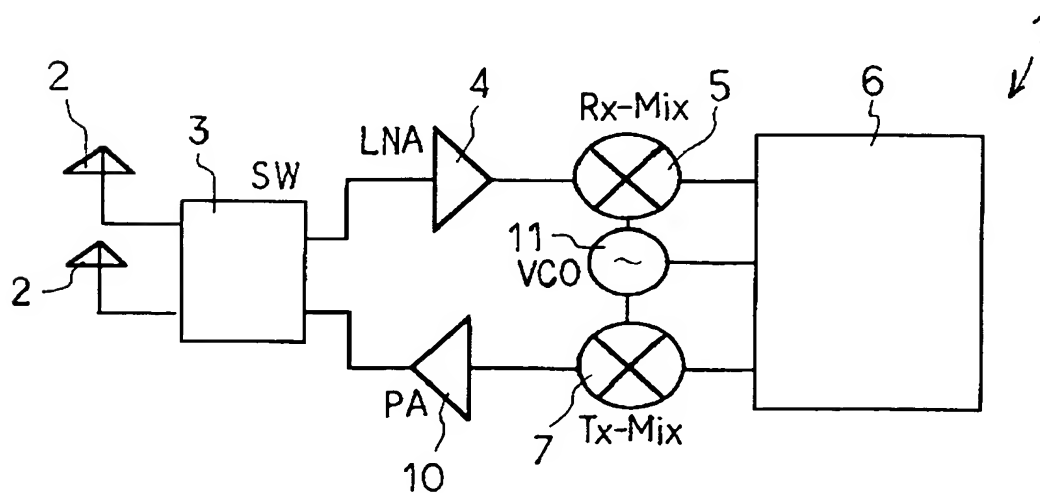
【図 11】

図 11



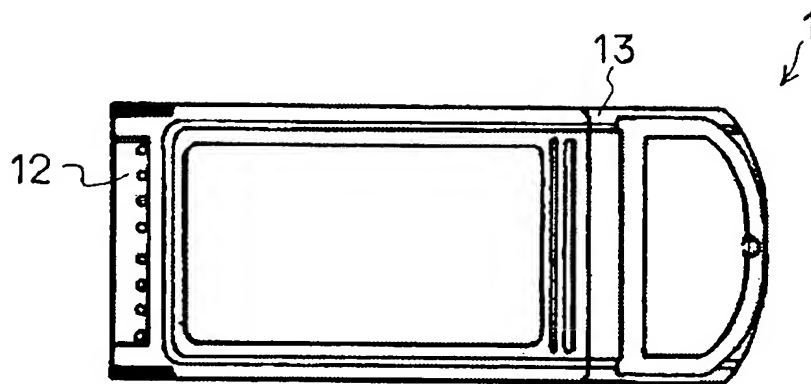
【図 12】

図 12



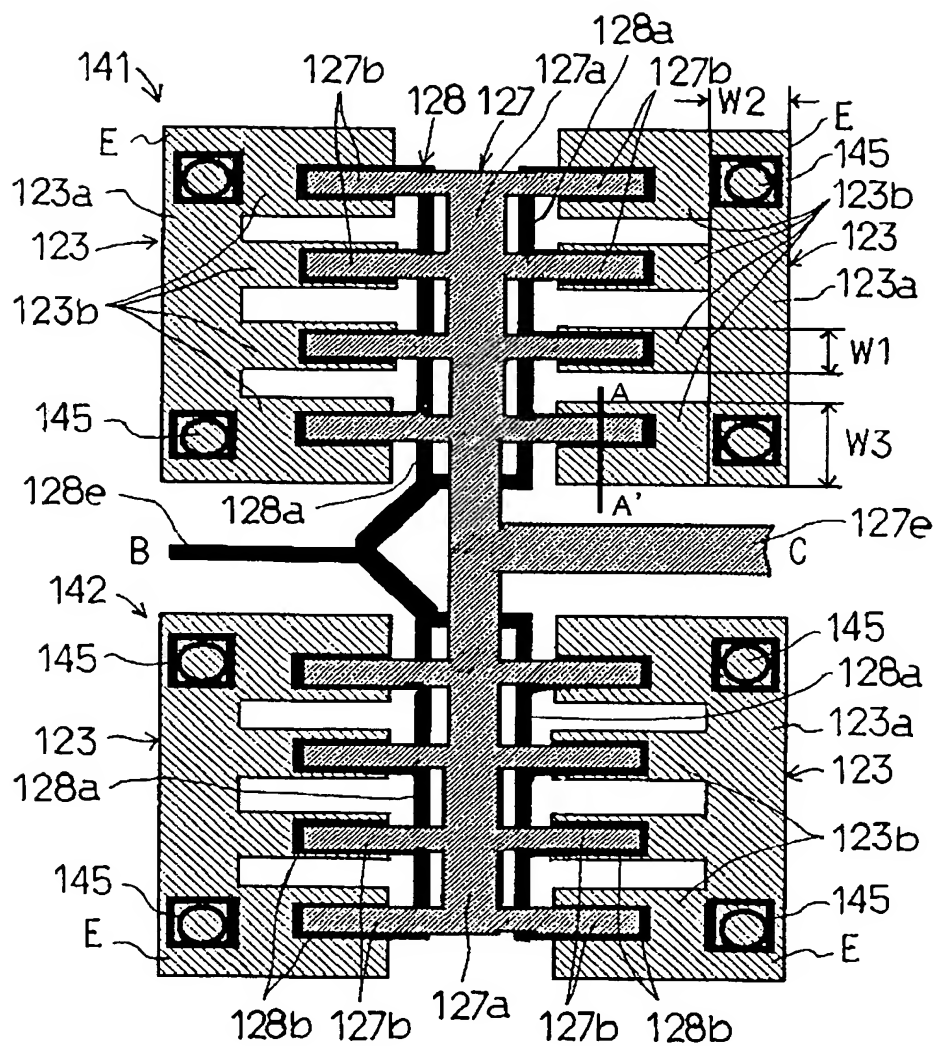
【図 13】

図 13



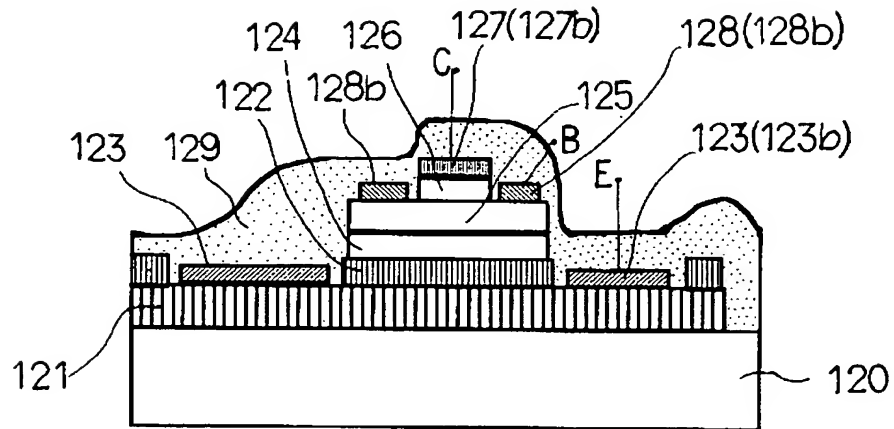
【図 14】

図 14



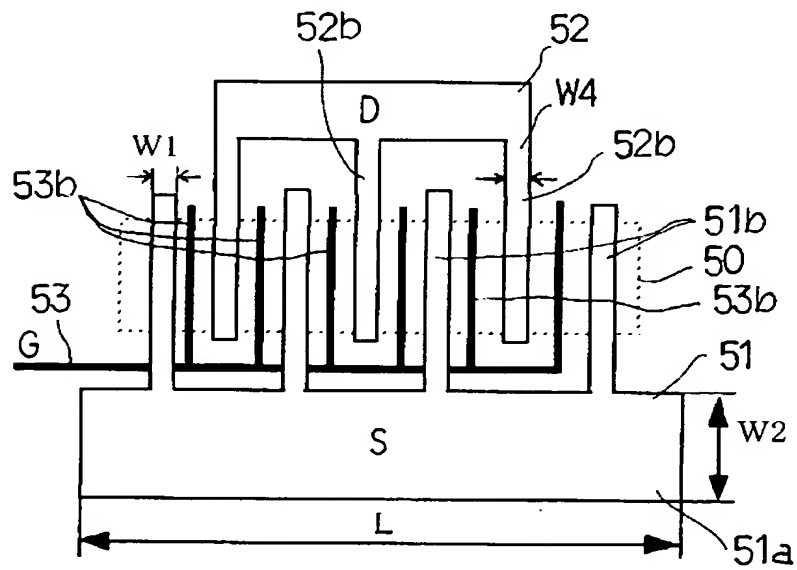
【図 15】

図 15



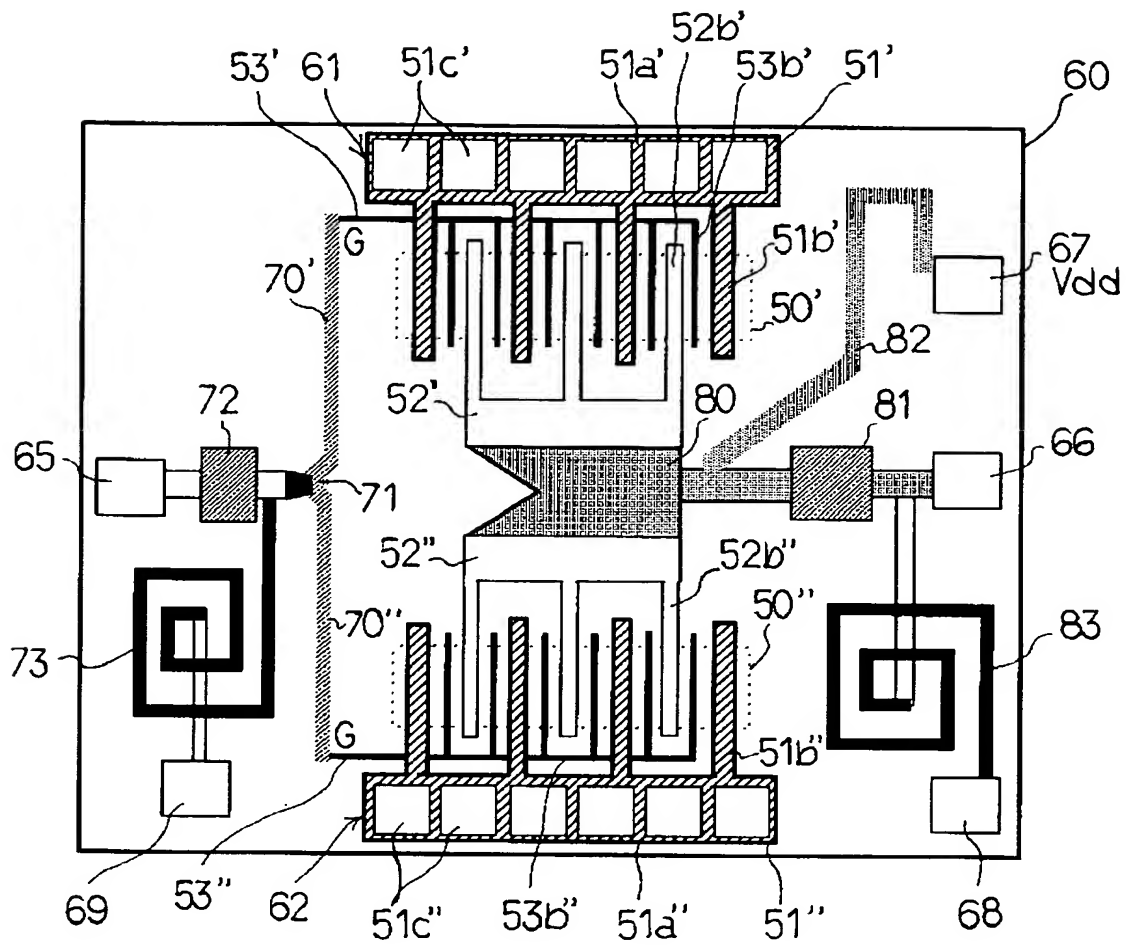
【図 16】

図 16



【図 17】

図 17





【書類名】 要約書

【要約】

【課題】 ソースインダクタンスの低減による高周波特性の改善。

【解決手段】 高出力電力増幅装置に組み込まれた H E M T において、ドレイン、ソース及びゲートの各電極は基幹部と、この基幹部から櫛歯状に突出する複数のフィンガー部とからなり、かつ前記各電極の前記フィンガー部は相互に噛み合う配置になっている。ソース電極において、複数のフィンガー部にあって、両端に位置するフィンガー部の幅は、両端間に位置するフィンガー部の幅よりも広くなっている。また、両端に位置するフィンガー部の幅は、両端間に位置する複数のフィンガー部の幅の総和以上の幅であり、かつ基幹部の幅は両端に位置するフィンガー部の幅よりも広くなっている。ソース基幹部に設けられた電極パッドと外部電極端子は導電性のワイヤで接続されている。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 4 6 6 4 4
受付番号	5 0 3 0 0 2 9 5 7 9 3
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 2 月 2 6 日

< 認定情報・付加情報 >

【提出日】 平成15年 2月25日

次頁無

【書類名】 出願人名義変更届（一般承継）  
【あて先】 特許庁長官 殿  
【事件の表示】  
【出願番号】 特願2003- 46644  
【承継人】  
【識別番号】 503121103  
【氏名又は名称】 株式会社ルネサステクノロジ  
【承継人代理人】  
【識別番号】 100083552  
【弁理士】  
【氏名又は名称】 秋田 収喜  
【提出物件の目録】  
【包括委任状番号】 0308731  
【物件名】 承継人であることを証明する登記簿謄本 1  
【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け提出の会社分割による特許権移転登録申請書 を援用する  
【物件名】 権利の承継を証明する承継証明書 1  
【援用の表示】 特願平 5 - 1 6 1 5 4 5 号 同日提出の出願人名義変更届（一般承継）を援用する

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 4 6 6 4 4
受付番号	5 0 3 0 1 2 2 9 9 8 3
書類名	出願人名義変更届（一般承継）
担当官	関 浩次 7 4 7 5
作成日	平成 1 5 年 9 月 3 日

< 認定情報・付加情報 >

【提出日】 平成 15 年 7 月 25 日

特願 2 0 0 3 - 0 4 6 6 4 4

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 1 0 8 ]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所

特願 2 0 0 3 - 0 4 6 6 4 4

出 願 人 履 歴 情 報

識別番号

[ 5 0 3 1 2 1 1 0 3 ]

1. 変更年月日  
[変更理由]

2 0 0 3 年 4 月 1 日  
新規登録

住 所  
氏 名

東京都千代田区丸の内二丁目 4 番 1 号  
株式会社ルネサステクノロジ